

S4 1 PN="56-046374"  
?t 4/5/1

4/5/1

DIALOG(R) File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00726074

MONOLITHIC INTEGRATED CIRCUIT HAVING TWO- DIMENSIONAL IMAGE SENSOR AND  
METHOD OF OPERATING SAME

PUB. NO.: 56-046374 [JP 56046374 A]  
PUBLISHED: April 27, 1981 (19810427)  
INVENTOR(s): RUUDORUFU KOTSUHO  
APPLICANT(s): SIEMENS AG [000904] (A Non-Japanese Company or Corporation),  
DE (Germany)  
APPL. NO.: 55-122192 [JP 80122192]  
FILED: September 03, 1980 (19800903)  
PRIORITY: 2936703 [DE 2936703], DE (Germany), September 11, 1979  
(19790911)  
INTL CLASS: [3] H04N-005/30; H01L-031/00  
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --  
Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—46374

⑪ Int. Cl.<sup>3</sup>  
H 04 N 5/30  
// H 01 L 31/00

識別記号

庁内整理番号  
6940—5C  
6824—5F

⑬ 公開 昭和56年(1981)4月27日

発明の数 6  
審査請求 未請求

(全 8 頁)

⑭ 2次元画像センサを持つモノリシック集積回路およびその動作方法

ドイツ連邦共和国ゲルメリング  
・ニムロードシュトラッセ42

⑮ 出 願 人 シーメンス・アクチエンゲゼル  
シャフト

ドイツ連邦共和国ベルリン及ミ  
ュンヘン(番地なし)

⑯ 代 理 人 弁理士 富村潔

⑰ 特 願 昭55—122192

⑱ 出 願 昭55(1980)9月3日

優先権主張 ⑲ 1979年9月11日 ⑳ 西ドイツ  
(DE)㉑ P2936703.1

㉒ 発 明 者 ルードルフ・コツホ

明 細 書

1 発明の名称 2次元画像センサを持つモノリ  
シック集積回路およびその動作方法

2 特許請求の範囲

- 1) 2次元半導体画像センサを持つ集積回路であつて、各個のセンサ素子が行および列に配置され、列線が備えられ、之はその横に存在するセンサ素子と接続可能であり、列線と第1のアナログシフトレジスタの段との間に、バリヤ素子、第1の蓄積コンデンサおよび第1のトランスファゲートが備えられたものに於いて、第2の蓄積コンデンサ(802)が備えられ、之は第1のトランスファゲート(701)に横方向に臨接して配置され、第2蓄積コンデンサ(802)は第2トランスファゲート(702)を介して、第1のアナログシフトレジスタ(L1)の段と直列に接続され、しかして第1のシフトレジスタ(L1)の他に第2のアナログシフトレジスタ(L2)

(1)

が配置され、その段は第1シフトレジスタ(L1)の対応する段と、第3のトランスファゲート(703)を介して直列に接続されることを特徴とする2次元画像センサを持つモノリシック集積回路。

2) センサ素子はホトダイオードから成ることを特徴とする特許請求の範囲第1項記載の集積回路。

3) センサ素子(2)はそれぞれ1個または2個の並置されたMISコンデンサから成ることを特徴とする特許請求の範囲第1項記載の集積回路。

4) バリヤ素子はバリヤトランジスタから成り、之はそのゲート端子を介して定電圧を印加され、この電圧は飽和範囲内にあり、低いドレイン電流を決定する所の動作点を定義することを特徴とする特許請求の範囲第1項記載の集積回路。

5) MIS技術で製作され、ドーパされた半導

(2)

体上にモノリシックに集積された回路として構成されることを特徴とする特許請求の範囲第1項記載の集積回路。

- 6) バリヤ素子 (BE) は各列線 (18) の絶縁面において、第1および第2の番積コンデンサ (K01', K02') とそれぞれ直列に接続され、その際バリヤ素子 (BE) と両番積コンデンサの一方 (K01') との間に、第1のトランスファゲート (T041) が配置され、第1および第2の番積コンデンサ (K01', K02') は第1のトランスファゲート (T01') を介して、第1アナログシフトレジスタ (L1) の段の第1および第2入力と直列に接続され、しかして第1シフトレジスタの他に第2アナログシフトレジスタ (L2) が備えられ、その段が第1シフトレジスタの対応する段と、第5トランスファゲート (T05) を介して直列に接続されることを特徴とする2次元面

( 3 )

されることを特徴とする特許請求の範囲第8項記載の集積回路。

- 10) 最初に1センサ行の信号電荷が、第1番積コンデンサ (K01) を介して第2番積コンデンサ (K02) に伝達され、続いて同じセンサ行の零信号電荷が第1番積コンデンサ (K01) に伝達され、第2番積コンデンサ (K02) からの信号電荷は第1シフトレジスタ (L1) のトランスファ段を介して、第2シフトレジスタ (L2) の対応するトランスファ段に伝達され、第1番積コンデンサ (K01) からの零信号電荷は、第2番積コンデンサ (K02) を介して第1シフトレジスタ (L1) の段に伝達され、しかして両シフトレジスタから送出され、1センサ列から導出される信号はそれぞれ差形成に關係させられることを特徴とする2次元面像センサを持つモノリシック集積回路の動作方法。

- 11) 最初に1センサ行の信号電荷が第1番積コ

( 5 )

像センサを持つモノリシック集積回路。

- 7) バリヤ素子と両番積コンデンサの他方のものとの間に、他のトランスファゲートが配置されることを特徴とする特許請求の範囲第6項記載の集積回路。

- 8) バリヤ素子 (BE) は各列線の絶縁面において、第1および第2の番積コンデンサ (K01', K02') とそれぞれ直列に接続され、その際バリヤ素子 (BE) と両番積コンデンサの一方 (K01') との間に、第6のトランスファゲート (T061) が配置され、しかして第1および第2番積コンデンサ (K01', K02') は第1トランスファゲート (T01') を介して、第1アナログシフトレジスタ (L1) の種々の段と直列に接続されることを特徴とする2次元面像センサを持つモノリシック集積回路。

- 9) バリヤ素子と両番積コンデンサの他方のものとの間に、他のトランスファゲートが配置

( 4 )

ンデンサ (K01') に伝達され、続いて同じセンサ行の零信号電荷が第2番積コンデンサ (K02') に伝達され、信号電荷はそれぞれ、第1シフトレジスタ (L1) の段の第1番積場所<sup>①</sup>に、しかして零信号電荷はそれぞれ、第1シフトレジスタ (L1) の同じ段中の第2番積場所に伝達され、その際信号電荷は第2シフトレジスタ (L2) の対応する段に伝達され、しかして両シフトレジスタ (L1, L2) から送出され、1センサ列から導出された信号はそれぞれ差形成に關係させられることを特徴とする2次元面像センサを持つモノリシック集積回路の動作方法。

1字加入

- 12) 1センサ行の信号電荷は第1番積コンデンサ (K01') に伝達され、続いて同じセンサ行の零信号電荷は第2番積コンデンサ (K02') に伝達され、信号電荷および零信号電荷は、シフトレジスタ (L1) の異なる段に伝達され、しかしてこの順次に送出され、1センサ

( 6 )

列から導出された信号がそれぞれ、差形成に  
関係させられることを特徴とする2次元画像  
センサを持つモノリシック集積回路の動作方  
法。

### 3 発明の詳細な説明

この発明は2次元半導体画像センサを持つ集  
積回路において、各個のセンサ素子が行および列  
に配置され、列線が備えられ、之はその横に存在  
するセンサ素子と接続可能であり、列線と第1の  
アナログシフトレジスタの段との間に、バリヤ素  
子、第1の蓄積コンデンサおよび第1のトランス  
プアグートが備えられたものに関する。

この形式の集積回路は西ドイツ国特許出願公開  
第2642166号公報および西ドイツ国特許第  
2611771号明細書から公知である。上記公  
報公報によれば、センサ信号の読出しに対する短  
か過ぎる測定された時間間隔において、列線およ  
びバリヤ素子（限界値素子）を介して、シフトレ  
ジスタの段に不完全な電荷伝送が生じ得、その際

( 7 )

ち読取信号の読出しのための第2の読出し過程が  
行われる。零信号は第2シフトレジスタの段に伝  
達される。両シフトレジスタの出力に差形成段が  
存在し、之は同じ列線を経て導出された2個の信  
号から、読取の無いセンサ信号を導出する。

この発明の目的は、西ドイツ国特許第2611  
771号明細書に対応するセンサ行の2重読出し  
を、簡単な読出しのための西ドイツ国公開公報第  
2642166号による回路によつて達成される  
如き、短かい時間間隔をもつて遂行することにあ  
る。この目的を達成するためこの発明によれば第  
2の蓄積コンデンサが備えられ、之は第1のトラ  
ンスプアグートに横方向に隣接して配置され、第  
2蓄積コンデンサは第2のトランスプアグートを  
介して、第1のアナログシフトレジスタの段と直  
列に接続され、しかし第1シフトレジスタの他  
に第2アナログシフトレジスタが配置され、それ  
の後は第1シフトレジスタの対応する段と、第2  
トランスプアグートを介して直列に接続されるよ

( 9 )

に残留する電荷は画像センサの直ぐ次の行の読出し  
の際、次の電荷伝送に影響する。之は特に例えば  
テレビジョン標準の時間条件に対応して、画行の  
走査および読出しに対し主として64μsが使用  
され、その中の12μsは2個の行信号の間の走  
査間隔に落ちる場合にそうである。この12μs  
中にセンサ行の信号の並列伝送が、バリヤ素子を  
経てシフトレジスタに行われる。

読出しを促進するため前記西ドイツ国公開公報  
によれば、バリヤ素子とセンサ信号が読込まれる  
所のシフトレジスタの各段との間に、蓄積コンデ  
ンサが挿入され、之がトランスプアグートを経て  
シフトレジスタ段の入力と接続される。他方にお  
いて西ドイツ国特許第2611771号明細書の  
2次元シフトレジスタ画像センサを持つ回路におい  
ては、2個のシフトレジスタが並置され、読取信号  
により影響されたセンサ信号の読出しのため、第  
1シフトレジスタ中において第1の読出し過程は  
列線を介して行われ、それに続いて零信号すなわ

( 8 )

うにするのである。この発明の目的は更に特許請  
求の範囲第2項或は第3項に記載する特徴によつ  
ても達成することができる。

この発明による利点は特に、2重読出しにより  
得られる読取排除が、単一の読出しに対し同じ条  
件で2倍の時間消費にかかわらず、西ドイツ国特  
許出願公開第2642166号公報による迅速な  
読出し方法においても使用される点にある。

次にこの発明を図面について詳説する。

第1図はこの発明の第1実施例の線図的表示、  
第2図は第1図の部分回路の断面表示、第3図は  
第1図および第2図による回路の説明のための電  
圧-時間ダイヤグラム、第4図は第2図に示す部  
分回路に対する第1の変形、第5図は第4図の説  
明のための電圧-時間ダイヤグラム、第6図は第  
2図の部分回路に対する第2の変形、第7図は第  
6図の説明のための電圧-時間ダイヤグラム、第  
8図は第2図の部分回路に対する第3の変形を示  
す。

( 10 )

第1図に示す回路において、2次元画像センサ、およびそれに所属する読出し装置は、ドーブされた半導体例えばP-伝導形のシリコン上にモノリシックに集積される。画像センサは図を簡単にするため8個のセンサ素子を持ち、それらが8行、3列に配置される。しかし一般にこの種の画像センサは行および列毎に100個若しくはそれ以上の素子を持つ。第1行のセンサ素子は共通の行線10と接続され、之はデジタルシフトレジスタ12の出力11に導かれる。出力11を介して行10の全素子が同時に読出可能である。類似の仕方で行残りの行のセンサ素子もその行線を介して、行線に各個に所属するシフトレジスタ12の出力と接続される。

各センサ列に対しそれぞれ1本の列線例えば18が備えられ、之は同じ列の全センサ素子と接続可能であり、しかしてクロックパルス電圧 $\phi R$ を印加されるトランジスタTRを介して、参照電位 $V_R$ にある所の端子14と接続される。残りの

(11)

ソース-ドレイン区間を経て、所属の列線と接続される。その際2bのゲートは所属の行線に接続される。他方においてセンサ素子2はまたMISコンデンサから成り、或はCID素子として構成することができ、この素子は2個の重畳されたMIS-コンデンサを持つ。上記のセンサ素子はすべて公知であり、例えばP.O.Jespers著'Solid State Imaging' Noordhof 出版社、ライデン市、オランダ国、およびS. Ohba著'A 1024 Element Linear CCD Sensor with a new photo-diode structure' Proc. IEDM 1977年、ワシントン市、頁538~541がある。ホトダイオードを使用する場合、一様なスペクトル感度の利点が得られる。

ゲートBEの領域15と反対の側にMIS-コンデンサK01が配置され、その外部電極が端子17を経て、パルス電圧 $\phi K01$ を印加される。続いてトランスファゲートT01、MIS-コンデンサK02およびトランスファゲートT02が存

(12)

列線はやはりその側に配置されたセンサ素子と接続可能であり、かつトランジスタを介して端子14に導かれる。列線18は更に半導体1の境界面に備えられた領域15と接続され、この領域は境界面と反対の伝導形を持つ。領域15のそばに存在する半導体領域はゲートBEにより蝕かれ、之はその素子18を介してクロックパルス電圧 $\phi BE$ を印加され、かつ薄い絶縁層例えばSiO<sub>2</sub>により半導体の境界面から分離される。ゲートBEは、 $\phi BE$ の振幅が低いトランスファ電流を設定する程に低く選定されたとき、バリア素子となる。ゲートBEはまた領域15と一緒にトランジスタとして増幅することもでき、之は $\phi BE$ の振幅により、飽和領域にある動作点にあり、低いドレイン電流を決定する。同じ仕方では他の列線も半導体領域15と接続され、その際ゲートBEはこの領域のそばにも配置される。

センサ素子2は例えばホトダイオード2aから成り、之はそれぞれ電界効果トランジスタ2bの

(13)

在し、これらにパルス電圧 $\phi T01$ ,  $\phi K02$ ,  $\phi T02$ が印加される。コンデンサK03はトランスファゲートT02を介して、CTDシフトレジスタ(電荷転送デバイス)L1の第1トランスファ電極E11の下方の半導体領域と接続される。第1の4個の電極から成る所の、4相動作で作動するシフトレジスタL1の段は、列線18に所属する。他の列線にはそれぞれ、2個のMIS-コンデンサおよび2個のトランスファゲート並にシフトレジスタL1のそれぞれの段の対応する直列接続が所属する。

シフトレジスタL1のそばに第2のCTD-シフトレジスタL2が配置され、之はL1からトランスファゲートT03により分離される。シフトレジスタの延長された電極の下方に、クロックパルス $\phi T03$ の印加の際L1とL2の間に電荷伝達が生じ得る。L2のトランスファ電極はL1の電極のようにクロックパルス電圧 $\phi_1$ 乃至 $\phi_4$ を印加される。L1およびL2の出力段は詳細に図示

(14)

せず、むしろ第1図により差形成回路1より例えば差増幅器を持つブロック18中に包含される。差形成回路1の出力は全回路出力20を表わす。

第2図は第1図の回路のII-II線に沿う横断面を示す。ここで回路部分13、BE、K01、T01、K02、T02、E11、T03およびE21は、既述の半導体を数う絶縁層4上に設けられ、かつ中間絶縁により互に分離される。

1つの行のセンサ素子の脱出しのため、之は導通されたトランジスタ2bおよびTRを介して参照電位VRにリセットされる。続いてトランジスタTRが再び閉塞され、よつて列線およびホトダイオードは外部の電位により自由にされる（'フローティング'状態）。ホトダイオードにおいて光学的に発生された電荷キャリアは、今やトランジスタ2bが閉止されるまでの間列線の電位を低下させる。トランジスタTRの閉止と2bの閉止との間の時間間隔は横分時間と呼ばれる。横分時間の終りに達する電位低下は列線に伝達され、従つ

( 15 )

スプア電極E11の下に転送され、この電極は電圧 $\phi_{11}$ にある。 $\phi_{11}$ の傾斜27およびクロックパルス $\phi_{0T3}$ により電荷は最後、L2の電圧 $\phi_{21}$ にある所のトランスファ電極E21の下に送る。 $\phi_{K01}$ の傾斜28はクロックパルス $\phi_{T01}$ と一緒に、零信号電荷のK0へへの伝達に、および傾斜28はクロックパルス $\phi_{T02}$ と一緒に、K0から $\phi_{11}$ にある電極E11の下の半導体領域中に更に電荷の伝達に作用する。

E21およびE11の下方に蓄えられた電荷およびL1、L2の残りの数中に蓄積された、他の列線に起因する対応する電荷の脱出しは、電圧 $\phi_1$ 乃至 $\phi_4$ （そのクロックパルス $\phi_1$ のみを第3図に示す）によつて行われる。

コンデンサK0からE21の下の領域への信号電荷、およびE11の下の領域への零信号電荷が転送される時間空間T2（第8図）は、例えば2個のテレビジョン行の間の12μsの走査間隔から成る。テレビジョン行の残りの部分に対応し、

( 17 )

傾斜15にも伝えられる。之は傾斜15からBEの下に電位降壁を越えて蓄積コンデンサK01へ電荷転送に作用し、このコンデンサはこの除電圧 $\phi_{K01}$ を印加される。 $\phi_{K01}$ の傾斜22および $\phi_{T02}$ のクロックパルスの出典の際、K01中に蓄積された電荷はK0へに伝えられ、K0へはこの除電圧 $\phi_{K02}$ にある。

この電荷伝達の後同じホトダイオードにおいて第2回の脱出し過程が行われ、この目的でホトダイオードは電位VRにリセットされる。この脱出しに生じる電位低下は、今や横分時間が著しく短かいため既述の零信号に対応する。この零信号はセンサに固有の訪学信号から成り、第1回の脱出し過程の際センサ信号に重畳される。零信号は第8図に24で示す所の第2のクロックパルス $\phi_{BE}$ の出典の際コンデンサK01に伝達され、その際コンデンサにクロックパルス25が導入される。 $\phi_{K02}$ の傾斜およびクロックパルス $\phi_{T02}$ により、最初に脱出された信号電荷はL1のラン

( 16 )

従つて52μsを持つ時間空間T1はK0へへのセンサ信号の蓄積に対して整備される。K01への零信号の蓄積は部分的に時間間隔T2中に行われる。シフトレジスタL1、L2の脱出しは時間間隔T2後に行われ、次に続く時間間隔T2の開始まで継続できる。T1はT2より著しく長いので、センサ信号電荷の比較的緩慢な伝達が、BEの電位降壁を越えて蓄積コンデンサK01へ行われ、よつて伝達損失が充分に排除される。

差形成回路1の中で到来する信号電荷および零信号電荷から差信号が導出され、之は妨害を除去されたセンサ信号を表わす。

第4図に示す装置において蓄積コンデンサK01は、ゲートBEおよびL1のトランスファ電極E11の間に備えられ、蓄積コンデンサK01はBEおよびE11のようにL1の同じ段に属するトランスファ電極E13の間に備えられる。蓄積コンデンサおよびゲートBEの間に、1と反対にドープされた他の15'および2個のトランスファ

( 18 )

電極 T041, T042 が備えられ、之はそれぞれ蓄積コンデンサのそばにある。K01', K02' はトランスファゲート T01' を介して、L1 のトランスファ放の異なる入力 E11, E18 と接続され、それに対しシフトレジスタ L1, L2 の互に対応する放はトランスファゲート T05 を介して、L1 の各放の入力の 1 つの軌道内で互に接続される。

トランスファゲート T041, T042 はクロックパルス電圧  $\phi_{T041}$ ,  $\phi_{T042}$  を印加され、蓄積コンデンサ K01, K02 は共通の電圧  $\phi_{K0'}$  を印加される。使用される電圧の時間関係は第 5 図に示される。矢印 51 よりコンデンサ K01 中の信号電荷の中間蓄積を表わし、矢印 52 よりコンデンサ K02 における零信号電荷の中間蓄積を示す。両コンデンサの電荷は矢印 53 で示すように共通に、トランスファ電極 E11 および E18 の下に転送され、その際 E11 は第 8 図に実線で表わすパルス電圧  $\phi_{11}$  にあり、それに対し

( 19 )

スタ中への電荷伝達に対し、短い時間間隔が得られるのに対し、蓄積コンデンサ中への信号の中間蓄積に対し、それぞれ長い時間空間が使用されることが分かる。

第 8 図は第 4 図とは、1 個のシフトレジスタ L3 を備えるのみによつて相違する。2 個の放 B11 および B12 が同じに列線 13 に所属する。トランスファゲート T061, T062 は第 4 図のゲート T041, T042 に対応し、ゲート T01' は第 4 図の T01' に対応する。信号電荷および零信号電荷は、交互にシフトレジスタの放に分配され、順次に回路部分 13 に導かれ、差信号を導出する。

#### 4 図面の簡単な説明

第 1 図はこの発明の第 1 の実施例の断面図の表示、第 2 図は第 1 図の部分回路の断面図、第 3 図は第 1 図および第 2 図による回路の説明のための電圧-時間ダイアグラム、第 4 図は第 2 図の部分回路の第 1 の変形、第 5 図は第 4 図の説明のため

( 21 )

E18 は  $\phi_{11}$  よりも後方で示す部分だけ長いパルス電圧  $\phi_{18}$  にある。矢印 54 は E11 から E21 への電荷転送を表わす。次にシフトレジスタ中に転送された電荷は再びステップ的に差形成回路 13 の方にシフトされ、この回路は信号電圧および零信号電圧から差信号を導出する。

第 6 図の回路は第 4 図とは、コンデンサ K01', K02' の制御が相違するのみである。ここでトランスファゲート T042 は省略され、その際コンデンサ K02' は領域 15' の境界まで延長される。之はクロックパルス電圧  $\phi_{K02}$  を印加されるのに対し、K01' には第 4 図の電圧  $\phi_{K01}$  に対応するクロックパルス電圧  $\phi_{K01}$  が存在する。作用経路は第 4 図の場合と同様である。第 7 図の表れにおいてコンデンサから電極 E11 および E18 の下への電荷転送に対し、第 5 図の矢印 53 に対応する 2 本の矢印 53' が備えられる。

第 6 図および第 7 図から、第 4 図および第 5 図の実施形においても、コンデンサからシフトレジ

( 20 )

スタの電圧-時間ダイアグラム、第 6 図は第 2 図の部分回路の第 2 の変形、第 7 図は第 8 図の説明のための電圧-時間ダイアグラム、第 8 図は第 2 図の部分回路に対する第 8 の変形を示す。

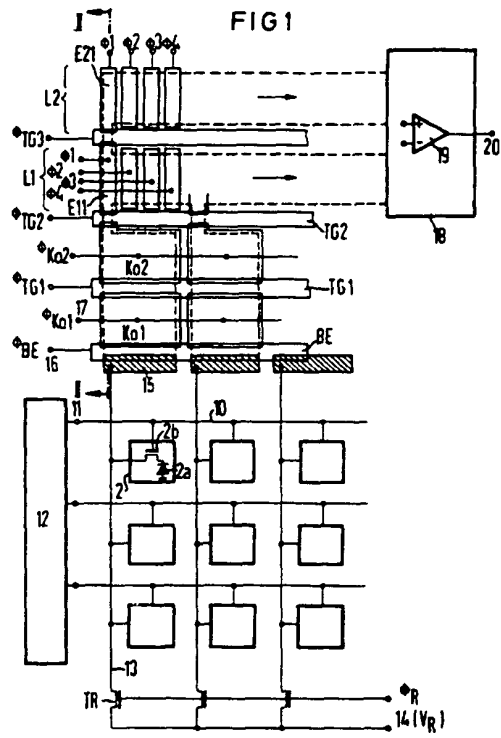
図において

1…半導体、1a…1 の境界面、2…センサ素子、2a…ホトダイオード、2b…電界効果トランジスタ、4…絶縁層、10…行線、11…12 の出力、12…デジタルシフトレジスタ、13…列線、14…端子、15, 15'…1 と反対にドープの領域、16…BE の端子、17…K01 の端子、18…差形成回路、20…回路出力、24, 25…クロックパルス、22, 26~28…クロックパルスの立下り線、BE…ゲート(バリヤ)、E11, E21…L1, L2 のトランスファ電極、E18…トランスファ電極、K01, K01', K02, K02'…コンデンサ、L1~L8…シフトレジスタ、T01~T08, T01', T05, T061…トランスファゲート、T041, T042…トランスファ

( 22 )

電極、TR…トランジスタ、VR…参照電圧。

(6118) 代理人 井理士 富村 謹



( 23 )

